

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 10 月 18 日 (18.10.2001)

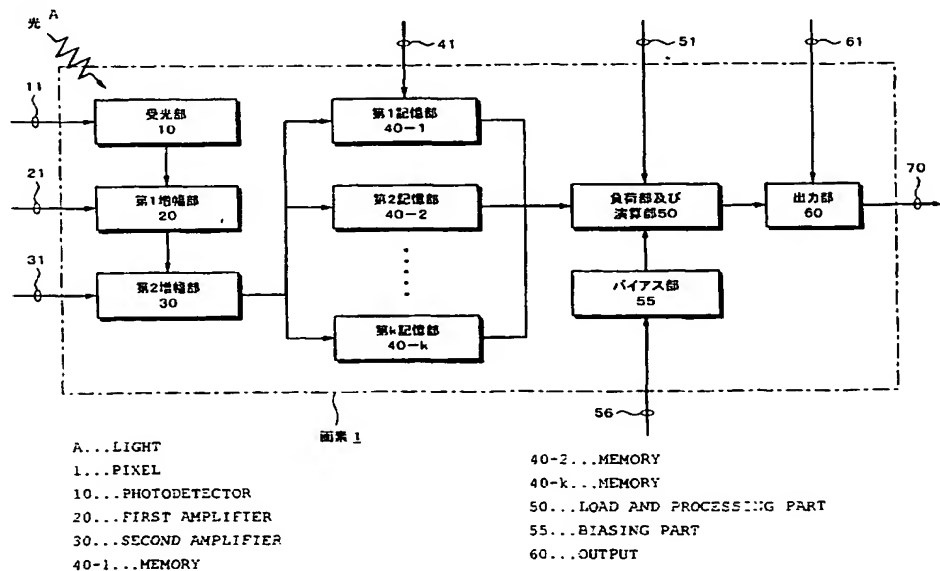
PCT

(10) 国際公開番号  
WO 01/78006 A1

- (51) 国際特許分類<sup>7</sup>: G06T 1/00, H04N 5/335, H01L 27/146, G03B 19/02
- (21) 国際出願番号: PCT/JP01/03041
- (22) 国際出願日: 2001 年 4 月 9 日 (09.04.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2000-107723 2000 年 4 月 10 日 (10.04.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 吉村真一 (YOSHIMURA, Shinichi) [JP/JP]. 米本和也 (YONEMOTO, Kazuya) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 杉浦正知 (SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).
- (81) 指定国 (国内): CA, US.
- 添付公開書類:  
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: IMAGE PROCESSOR AND IMAGING DEVICE

(54) 発明の名称: 画像処理装置及び撮像素子



(57) Abstract: A pixel comprises a photodetector part for producing an electric signal depending on incident light intensity, an amplifier part for amplifying a received signal, a plurality of memory parts for storing the amplified signal as current signal, a load part for converting the current output from the memory parts into voltage, a biasing part for supplying offset current to the input of the load part, and a processing part for processing the output from the load part. Such pixels are arranged in a matrix to provide an imaging device. Since the imaging device is formed on the same circuit, high-speed processing is achieved, and the biasing provides stabilized output.

[続葉有]



---

(57) 要約:

画素は、受光強度に応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部への入力にオフセット電流を与えるバイアス部と、負荷部の出力を演算する演算部を備えた画素がマトリックス状に配列して構成される。記憶部が撮像素子と同一回路上に実装され、処理が高速化されるとともに、バイアスにより出力が安定化する。

## 明 細 書

## 画像処理装置及び撮像素子

## 技術分野

- 本発明は、撮像素子による撮像画像を処理する画像処理装置に係り、
- 5 特に、画像フレーム間の差分を求めることで被写体の明るさの時間的変化を求める画像処理装置に関する。更に詳しくは、本発明は、撮像素子による撮像データを保持する記憶部を撮像素子と同一回路上に備えることで演算処理を高速化した画像処理装置に係り、特に、被写体の明るさの時間的変化が小さい状況下であっても記憶部の特性ばらつきを低く抑
- 10 えて正確な演算出力を得ることができる画像処理装置に関する。

## 背景技術

例えば1フレーム目で撮像した被写体画像と2フレーム目で撮像した被写体画像を求めることで、被写体の明るさの時間的変化を求めることができる。

- 15 従来、画像の差分を求めるためには、CCD (Charge Coupled Device:電荷結合素子)のような撮像素子を組み込んだカメラと複数のフレーム・メモリと演算装置とを用意して接続していた。すなわち、カメラから出力される1フレーム目の画像データをフレーム・メモリに一旦蓄積した後、次いで撮影された2フレーム目の画像データを別のフ
- 20 ーム・メモリに蓄積する。そして、各フレーム・メモリに記憶された内容すなわち画素データを演算装置が同期的に読み出して、対応する画素同士の差分を演算していた。

- しかしながら、カメラからフレーム・メモリへの転送は、通常、シリアル方式で行われるので、1画面分の転送時間は無視できるほど短くは
- 25 ない。例えばCCDを撮像素子として用いたNTSC (National Television System Committee)方式のカメラでは、1フレームの撮像期

間中に、前のフレームの画像を読み出す構成なので、1フレーム分の読み出し転送が完了するには33 msecという時間を要する。したがって、画素間の差分を求めるためには、撮像を開始してから演算結果が得られるのは、最短でも33 msec以降となる。

- 5 第10図には、CCDを撮像素子とする場合における、撮像画像の蓄積及び読み出し時のタイミング・チャートを示している。同図に示すように、奇数フィールド及び偶数フィールドともに、33 msecの蓄積期間を要する。図示のように、2フレーム目の読み出し期間が過ぎた以降でなければ、演算結果を得ることができない。
- 10 したがって、CCD撮像素子からなるカメラを用いた従来の撮像システムは、ビジュアル・フィードバックのような視覚情報を用いた制御システムには適用することが困難である。
- 一方、CMOSイメージ・センサの中には、フレーム・レートを1 kHz程度まで上げて、非常に高速に撮影しながら逐次演算処理を行い、
- 15 ビジュアル・フィードバックを実現するものも試作されている。しかしながら、このタイプのセンサの場合、内部処理をデジタルで行うため、アナログ値をデジタル値に変換するAD変換回路・デジタル値を記憶する記憶回路、デジタル値を演算する演算回路などの各回路素子を実装する必要がある。これら回路モジュールはいずれも回路規模が大きいので、
- 20 多画素化には不向きであり、実用化が困難である(例えば小室外著「汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計」(電子情報通信学会誌、Vol. J81-D-I、No. 2、PP. 70-76. 1998年)を参照のこと)。

- また、アナログ信号のまま演算を実行するCMOSイメージ・センサ
- 25 に関しても報告されている。但し、これらはいずれもメモリ機能はキャパシタに信号電圧を記憶するという動作で実現するものであるため、キ

ャパシタの構成方法によっては1つの画素が肥大化してしまうという問題点がある。仮に、メモリ部を画素以外の領域に実装して、画素数を増大することができたとしても、チップ全体の小型化に適しているとはいえない。

- 5      しかも、キャパシタに信号電圧を記憶する場合、異なるキャパシタの信号電圧を異なるトランジスタのゲート電位として読み出すと、トランジスタ毎の閾値電圧にばらつきがあるために、同じ信号でも異なる値として読み出される危険性は避けられず、演算結果の誤差を招来するという問題点もある。また、キャパシタに信号電圧を記憶する場合、充電時間
- 10   間を無視することができないので、高速処理には向いていない。

#### 発明の開示

従って、本発明の目的は、画像フレーム間の差分を求めることで被写体の明るさの時間的変化を求めることができる、優れた画像処理装置を提供することにある。

- 15   本発明の更なる目的は、撮像素子による撮像データを保持する記憶部を撮像素子と同一回路上に備えることで演算処理を高速化した、優れた画像処理装置を提供することにある。

- 本発明の更なる目的は、被写体の明るさの時間的変化が小さい状況下であっても記憶部の特性ばらつきを低く抑えて正確な演算出力を得ることが
- 20   できる、優れた画像処理装置を提供することにある。

本発明は、上記課題を参酌してなされたものであり、その第1の側面は、受光した光強度に応じた電気信号を発生する受光部と、

受光部の出力信号を増幅する増幅部と、

- 増幅部において増幅された電気信号を電流信号として記憶する複数の
- 25   記憶部と、

記憶部からの電流出力を電圧に変換する負荷部と、

負荷部への入力に対してオフセット電流を与えるバイアス部と、  
負荷部の出力信号を演算する演算部と、  
演算部における演算結果を外部に出力する出力部と、  
を具備することを特徴とする画像処理装置である。

- 5      本発明の第 1 の側面に係る画像処理装置において、複数の記憶部の各々は異なる期間に受光した信号に基づく電流信号を記憶することができる。このような場合、演算部は、2 以上の記憶部から取り出された電流信号に基づく電圧信号に対して和、差、比較などの演算処理を施すことができる。
- 10      また、増幅部は、ゲート電極同士を対向して接続した 2 個のミラー・トランジスタを含んでもよい。このような場合、増幅部は、カレント・ミラーの原理に基づき、各ミラー・トランジスタのサイズ比に応じて電流信号を増幅させることができる。

- また、記憶部は、カレントコピアの原理に従って電流信号を記憶する  
15      ようにしてもよい。

- また、演算部が 2 つの記憶部からの信号電流を比較する場合には、バイアス部は、一方の記憶部からの信号電流に対してオフセット電流を付力するとともに、他方の記憶部からの信号電流に対してオフセット電流を付加しないようにしてもよい。この結果、各記憶部間の特性ばらつき  
20      による演算部出力への影響を抑制することができる。

また、本発明の第 2 の側面は、複数の画素が同一回路上にマトリックス状に配列されてなる、被写体の明るさを検出する撮像素子であって、画素の各々は、

- 受光した光強度に応じた電気信号を発生する受光部と、  
25      受光部の出力信号を増幅する増幅部と、  
増幅部において増幅された電気信号を電流信号として記憶する複数の

記憶部と、

記憶部からの電流出力を電圧に変換する負荷部と、

負荷部への入力に対してオフセット電流を与えるバイアス部と、

負荷部の出力信号を演算する演算部と、

5 演算部における演算結果を出力する出力部と、

を具備することを特徴とする撮像素子である。

本発明の第2の側面に係る撮像素子において、各画素毎に設けられた複数の記憶部の各々は、異なる期間に受光した信号に基づく電流信号を記憶することができる。このような場合、各画素内における演算部は、

10 2以上の記憶部から取り出された電流信号に基づく電圧信号に対して和、差、比較などの演算処理を施すことができる。

また、各画素内の増幅部は、ゲート電極同土を対向して接続したミラー・トランジスタを含んでもよい。このような場合、増幅部は、カレント・ミラーの原理に基づき、各ミラー・トランジスタのサイズ比に応じ

15 て電流信号を増幅させることができる。

また、画素内の各記憶部は、記憶部は、カレントコピアの原理に従って電流信号を記憶するようにしてもよい。

また、演算部が2つの記憶部からの信号電流を比較する場合には、バイアス部は、一方の記憶部からの信号電流に対してオフセット電流を付加するとともに、他方の記憶部からの信号電流に対してオフセット電流を付加しないようにしてもよい。この結果、各記憶部間の特性ばらつきによる演算部出力への影響を抑制することができる。

また、本発明の第3の側面は、被写体の明るさを検出する撮像素子であって、

25 受光した光強度に応じた電気信号を発生する受光部と受光部の出力信号を増幅する増幅部からなる画素がマトリックス状に配列された画素エ

リアと、

ゲート電極同士を対向して接続したミラー・トランジスタによりカレント・ミラーの原理に従い電流信号を増幅する第2増幅部が画素エリアの各画素列毎に配列した第2増幅部エリアと、

- 5 画素の増幅された電気信号を電流信号として記憶する複数の記憶部が画素エリアの各画素の配列に対応したマトリックス状に配列された画素外記憶エリアと、

記憶部からの電流出力を電圧に変換して演算処理する負荷部及び演算部が画素エリアの各画素列毎に配列された負荷部及び演算部エリアと、

- 10 演算部における演算結果を出力する出力部が画素エリアの各画素列毎に配列された出力部エリアとを備え、

画素エリアと、第2増幅部エリアと、画素外記憶エリアと、負荷部及び演算部エリアと、出力部エリアが同一回路上に実装されていることを特徴とする撮像素子である。

- 15 本発明の第3の側面に係る撮像素子において、複数の記憶部の各々は、異なる期間に受光した信号に基づく電流信号を記憶するようにしてもよい。このような場合、演算部は、2以上の記憶部から取り出された電流信号に基づく電圧信号に対して和、差、比較などの演算処理を施すことができる。

- 20 また、撮像素子は、さらに、対応する記憶部からの出力電流にオフセット電流を付加するバイアス部を備えることができる。このような構成によれば、前期演算部が2つの記憶部からの信号電流を比較する場合において、バイアス部は、一方の記憶部からの信号電流に対してオフセット電流を付加するとともに、他方の記憶部からの信号電流に対してオフセット電流を付加しないようにすることで、各記憶部間の特性ばらつきによる演算部出力への影響を抑制することができる。
- 25



また、画素内の各記憶部は、記憶部は、カレントコピアの原理に従って電流信号を記憶するようにしてもよい。

本発明に係る画像処連装置は、受光強度に応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部への入力にオフセット電流を与えるバイアス部と、負荷部の出力を演算する演算部を備えた画像処理装置である。

本発明に係る画像処理装置の構成によれば、記憶部が撮像素子と同一回路上に実装されるので、処理が高速化される。また、バイアス部が各記憶部から出力される演算前の電流信号にオフセット電流を付加することによって、記憶部における特性ばらつきの影響を抑止して、演算部の出力を安定化させることができる。

例えば、本発明に係る画像処理装置を画素として用い、各画素を同一回路上にマトリックス状に配列することで、演算機能付きの撮像素子を構成することができる。かかる撮像素子によれば、被写体の明るさの時間的な変化を高速に演算することができる。

本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

#### 図面の簡単な説明

第1図は、本発明の実施に供される撮像素子の回路構成を模式的に示した図、第2図は、本実施例に係る撮像素子に組み込まれた画素の内部構成を示した図、第3図は、受光部10、第1増幅部20、第2増幅部30、並びに第1記憶部40-1～第k記憶部40-kに至るまでの回路構成を示した図、第4図は、負荷部及び演算部50、並びに出力部60の回路構成を示した図、第5図は、第1図に示した撮像素子内の動作特性を示したタイミング・チャート、第6図は、複数の記憶部40-

1 . . . に記憶された信号電流  $I_{M1}$  . . . の和どうしを比較する場合  
の動作特性を示したタイミング・チャート、第 7 図は、バイアス部 5 5  
の回路構成例を示した図、第 8 図は、第 1 図に示した撮像素子構造、並  
びに、第 2 図に示した画素構造の変形例を示した図、第 9 図は、第 1 図  
5 に示した撮像素子構造、並びに、第 2 図に示した画素構造の他の変形例  
を示した図、第 10 図は、CCD を撮像素子とする場合における、撮像  
画像の蓄積及び読み出し時のタイミング・チャートを示した図、第 11  
図は、第 9 図に示した撮像素子内の動作特性を示したタイミング・チャ  
ート、第 12 図は、本実施例に係る撮像素子を適用したアクティブ型距  
10 離計測システムの構成を模式的に示した図、第 13 図は、図 12 に示し  
た距離計測システムを上方から眺望した様子を示した図、第 14 図は、  
撮像素子が受光する光強度の時間的な変化と該強度変化を撮像素子上で  
演算した結果を示した図である。

発明を実施するための最良の形態

15 以下、図面を参照しながら本発明の実施例を詳解する。

第 1 図には、本発明の実施に供される撮像素子の回路構成を模式的に  
示している。同図に示すように、撮像素子は、 $m \times n$  個の画素 1 がマト  
リックス状に配列され、各行毎に水平画素駆動信号群  $81-1$ ,  $81-2$ ,  
20  $\dots$ ,  $81-n$  が敷設されるとともに、各列毎に垂直信号線  $91$   
 $-1$ ,  $91-2$ ,  $\dots$ ,  $91-m$  が敷設されている。

水平画素駆動信号群  $81$  は、画素内の各部(後述)の同期駆動を規定す  
る信号を含み、垂直駆動回路  $80$  から出力されている。また、垂直信号  
線  $91$  は、各画素の撮像信号を出力するための信号線であり、水平出力  
部  $100$  に向かって走っている。

25 第 2 図には、撮像素子内に配列される画素 1 の内部構成を図解してい  
る。同図に示すように、画素 1 は、受光部  $10$  と、第 1 増幅部  $20$  と、

第2増幅部30と、第1記憶部10-1から第k記憶部40-kまでのk個の記憶部と、負荷及び演算部50と、バイアス部55と、出力部60とで構成される。

5 受光部10は、入射光を電気信号に変換する光電変換部であり、一般にはフォト・ダイオード(PD)で構成される。受光部10の動作は、受光部駆動信号11により制御される。

第1増幅部20は、受光部10から転送されてくる電流信号を後続の第2増幅部30で処理するのに適したレベルに変換するとともに、第1増幅部駆動信号21によって規定される適切なタイミングで電流信号を  
10 出力する。

第2増幅部30は、第1増幅部20から転送されてくる電流信号を後続の各記憶部40において記憶するのに適したレベルにまで増幅するとともに、第2増幅部駆動信号31によって規定される適切なタイミングで電流信号を出力する。

15 第1記憶部40-1～第k記憶部40-kからなるk個の記憶部は、すべて第2増幅部30の出力に接続されており、この増幅信号の電流を記憶部駆動信号41によって規定される適切なタイミングで記憶保持する。1つの画素内に配設される記憶部の個数kは、後続の演算処理において必要な数によって決定される。

20 負荷部及び演算部50は、第1記憶部40-1～第k記憶部40-kのすべての出力に接続されており、すべての又は一部の記憶部40からの出力電流を電圧に変換するとともに、演算部駆動信号51により規定される適切なタイミングで演算処理を行う。演算の内容は、撮像素子の機能によって異なるが、信号の和、信号の差、信号の比較などが一般的  
25 である。

バイアス部55は、演算部50における演算時に必要なノイズ除去の

ためのバイアス電流を、バイアス部駆動信号 5 6 に応じて発生する。

出力部 6 0 は、負荷部及び演算部 5 0 による演算結果を撮像素子内の信号線に出力するのに適したレベルに変換し、出力部駆動信号 6 1 により適切なタイミングで画素出力 7 0 として出力する。

- 5 各部への駆動信号 1 1 ~ 6 1 は、水平画素駆動信号群 8 1 として撮像素子内を各画素 1 毎に敷設されている。垂直駆動回路 8 0 は、これら駆動信号 1 1 ~ 6 1 を発生して、水平に並ぶ  $m$  個の画素行単位で駆動する。

また、各画素からの画素出力 7 0 は、垂直信号線 9 1 で各画素列毎に互いに接続されている。各垂直信号線 9 1 - 1, 9 1 - 2 . . . は、水平出力部 1 0 0 に接続され、撮像信号 1 0 1 として撮像素子の外部に取り出される。

10

なお、撮像素子内で水平に並ぶ画素数  $m$  が少ないときには、画素出力 7 0 を適切にレベル変換してからそのまま  $m$  本の並列出力として撮像素子の外部に取り出すように構成してもよい。

- 15 次いで、本実施例に係る画素 1 の具体的な回路構成について説明する。

第 3 図には、受光部 1 0、第 1 増幅部 2 0、第 2 増幅部 3 0、並びに第 1 記憶部 4 0 - 1 ~ 第  $k$  記憶部 4 0 -  $k$  に至るまでの回路構成を示している。

受光部 1 0 は、フォト・ダイオード (PD) とリセット・トランジスタ (QR)、転送トランジスタ (QX) で構成されており、リセット・トランジスタ (QR) のゲート端子にはリセット・パルス (RST) が、転送トランジスタ (QX) のゲート端子には転送パルス (TX) が、それぞれ受光部駆動信号 1 1 a 及び 1 1 b として入力されている。

20

第 1 増幅部 2 0 は、増幅トランジスタ (QA) と読出しトランジスタ (GR1) で構成される。読出しトランジスタ (GR1) のゲート端子には読出しパルス (RD) が第 1 増幅部駆動信号 2 1 として入力されている。

25

第2増幅部30は、ゲート電極同士が対向したミラー・トランジスタ(CM1)とミラー・トランジスタ(CM2)からなるカレント・ミラー回路と、読出しトランジスタ(GR2)で構成される。読出しトランジスタ(GR2)には、後続の記憶部40への信号転送タイミングを規定する書き込みパルス5 (WR)が第2増幅部駆動信号31として入力されている。

第1記憶部40-1～第k記憶部40-kの各記憶部はそれぞれ、メモリ・トランジスタ(M1～Mk)と、メモリ・ゲート・トランジスタ(G1～Gk)と、メモリ・スイッチ(SW1～SWk)とで構成される。各メモリ・スイッチ(SW1～SWk)には記憶パルス(CK11～CKk1)が、また、各メモリ・ゲート・トランジスタ(M1～Mk)には記憶パルス(CK12～CKk2)が、それぞれの記憶部駆動信号41a及び41bとして入力されている。

そして、第2増幅部30の出力信号、並びに、第1記憶部40-1～第k記憶部40-kの入出力信号は、共通の信号線で接続されている。以下、該信号線を通過する電流を共通信号IMとする。

15 また、第4図には、負荷部及び演算部50、並びに出力部60の回路構成を示している。

負荷部及び演算部50は、負荷トランジスタ(QL)、インバータ(INV1)・インバータ(INV2)、キャパシタ(CAP1)、キャパシタ(CAP2)、インバータ・スイッチ(SWA)、及び、インバータ・スイッチ(SWB)で構成される。20

インバータ・スイッチ(SWA)のゲート端子にはインバータ・パルスCKAが、インバータ・スイッチ(SWB)のゲート端子にはインバータ・パルスCKBが、それぞれ演算部駆動信号51a及び51bとして入力されている。

25 また、負荷トランジスタ(QL)のゲート端子には、その動作点を決定する負荷バイアス電圧(VL)が入力されている。

キャパシタ (CAP1) とインバータ (INV1)、並びにインバータ・スイッチ (SWA) によって、1つのチョッパ型比較器が構成される。同様に、キャパシタ (CAP2) とインバータ (INV2)、並びにインバータ・スイッチ (SWB) によって、1つのチョッパ型比較器が構成される。

- 5     出力部 60 は、バッファ・アンプ (BA) と画素出力ゲート (PTX) で構成される。画素出力ゲート (PTX) のゲート端子には、出力部駆動信号 61 として出力パルス (CK0) が入力されている。画素出力ゲート (PTX) の出力が画素 1 の画素出力 (V0) となる。

- 続いて、ある 1つの画素 1 内の動作特性について説明する。画素 1 の  
10   動作は、リセット期間、転送期間、記憶期間、演算フェーズ 1、及び、  
演算フェーズ 2 の各フェーズに区分される。

[リセット期間]

- まず、リセット・パルス (RST) を印加することによって、リセット・  
トランジスタ (QR) を付勢する。この結果、リセット・トランジスタ (QR)  
15   のドレイン側の電位、すなわち受光信号電位 (VA) は、電源電圧によって  
定まるある特定の電位 (仮に VR とする) に設定される。

[転送期間]

- 次いで、転送パルス (TX) を印加することによって転送トランジスタ  
(QX) を付勢する。この結果、蓄積期間内において受光部 10 内のフォ  
20   ト・ダイオード (PD) で光電変換されて蓄積されていた信号電荷 (電子) は、  
リセット・トランジスタ (QR) のドレイン側に転送されて、受光信号電位  
(VA) は、その信号電荷の数によって決まる電位となる。

[記憶期間]

- 受光信号電位 (VA) は、第 1 増幅部 20 の増幅トランジスタ (QA) のゲー  
25   ト電位となっている。したがって、読出しパルス (RD) を印加して読出し  
トランジスタ (GR1) を付勢することによって、受光信号電位 (VA) に応じ

た信号電流が第2増幅部30のミラー・トランジスタ(CM1)に流れ込む。

この結果、カレント・ミラーの原理により、他方のミラー・トランジスタ(CM2)には、ミラー・トランジスタ(CM1)とのサイズ比によって決まる大きさの電流を流すことができる。

- 5      ここで、書き込みパルス(WR)を印加して第2増幅部30の読出しトランジスタ(GR2)を付勢する。これと同時に、例えば、記憶パルス(CK12)を印加して、第1記憶部40-1のメモリ・ゲート・トランジスタ(G1)を付勢するとともに、記憶パルス(CK11)を印加して、第1記憶部40-1のメモリ・スイッチ(SW1)を付勢することによって、先述のミラー・トランジスタ(CM2)を通過する電流をメモリ・トランジスタ(M1)に流す  
10      ことができる

- さらに、メモリ・スイッチ(SW1)を先に減勢した後に、メモリ・ゲート・トランジスタ(G1)及びトランジスタ(GR2)をともに減勢することによって、メモリ・トランジスタ(M1)に流れ込んだ電流を記憶することが  
15      できる。

- このような記憶動作は、メモリ・トランジスタ(M1)のソース及びドレイン間に流れる電流値を決定するためのゲート電圧が、比較的小さなゲート容量に充電されることによって実現される(カレントコピアの原理)ので、キャパシタのような大きな容量を充電する必要がない。したがって、記憶動作そのものが短時間で完了することになり、その結果、画素  
20      1全体の動作時間をも短縮することができる。

- 上記では、受光信号電位(VA)によって決まる電流を第1記憶部40-1のメモリ・トランジスタ(M1)に記憶させる場合について説明したが、他の記憶部40-2, ..., 40-kに記憶させる場合であっても、  
25      同様の動作で実現することができる。

したがって、別の期間に光電変換された信号を、他の記憶部40のメ

メモリ・トランジスタに記憶しておくことにより。後述する演算(信号間の比較など)を画素1内において実現することができる。

ここで、第1記憶部40-1のメモリ・トランジスタ(M1)及び第2記憶部40-2のメモリ・トランジスタ(M2)に、それぞれ異なる期間に光電変換された信号によって決まる電流が記憶されているものとする。そして、各トランジスタM1及びM2に記憶されている電流をそれぞれ $I_{M1}$ 及び $I_{M2}$ とおくことにする。

#### [演算フェーズ]

まず、第1記憶部40-1のメモリ・ゲート・トランジスタ(G1)を付勢することによって、メモリ・トランジスタ(M1)に記憶していた電流 $I_{M1}$ を負荷トランジスタ(QL)に流す。そして、電流 $I_{M1}$ の大きさと負荷バイアス電圧(VL)によって定まる電圧(仮に $V_1$ とする)がキャパシタ(CAP1)の電極A側に発生する。

但し、演算フェーズ1の期間のみ負荷バイアス電圧(VL)を印加して、それ以外の期間は0Vとすることによって、負荷トランジスタ(QL)に電流が流れ込むのを防止する。

このとき、インバータ(INV1)の入力と出力を短絡するようにインバータ・スイッチ(SWA)を付勢することによって、キャパシタ(CAP1)の電極B側にはインバータ(INV1)の動作点電圧( $V_{inv1}$ )が現れ、この結果、キャパシタ(CAP1)のA側とB側には $V_1$ と $V_{inv1}$ の差だけ電位差が生じることになる。

さらに、インバータ(INV2)の入力と出力を短絡するインバータ・スイッチ(SWB)をインバータ・スイッチ(SWA)と同時に付勢した後、インバータ・スイッチ(SWA)を減勢するよりも少し後にインバータ・スイッチ(SWB)を減勢するようにする。このとき、キャパシタ(CAP2)のC側とD側には、それぞれインバータ(INV1)の出力電圧( $V_{o1}$ )とインバータ



(INV2)の動作点電圧( $V_{inv2}$ )が印加されるので、両端にはその差だけ電位差が生じることになる。

ここで、インバータ・スイッチ(SWA)を付勢状態から減勢するとき、インバータ(INV1)の入力側及び出力側の各電位は、電荷注入効果により  
5 短絡時の電位よりわずかに異なる電位に変動する可能性がある点に留意されたい。第4図に示すような構成によれば、このような電位変動分をキャパシタ(CAP2)で吸収することができる。

[演算フェーズ2]

続いて、第2記憶部40-2のメモリ・ゲート・トランジスタ(G2)を  
10 付勢することによって、メモリ・トランジスタ(M2)に記憶していた電流 $I_{M2}$ を負荷トランジスタ(QL)に流す。そして、電流 $I_{M2}$ の大きさと負荷バイアス電圧(VL)によって定まる電圧(仮に $V_2$ とする)がキャパシタ(CAP2)の電極A側に発生する。

このとき、電圧 $V_2$ が $V_1$ よりも大きい場合、インバータ(INV1)の入  
15 力容量が無視できるほど小さいと仮定したならば、キャパシタ(CAP1)のB側の電位は、動作点電圧( $V_{inv1}$ )より $V_2 - V_1$ だけ上昇することになり、インバータ(INV1)の出力は、ロー・レベルとなる。

その結果、キャパシタ(CAP2)の電極D側の電位は、動作点電位( $V_{inv2}$ )よりも低くなり、インバータ(INV2)の出力はハイ・レベルとな  
20 る。

逆に、電圧 $V_2$ が $V_1$ よりも小さい場合、キャパシタ(CAP1)の電極B側の電位は、動作点電圧( $V_{inv1}$ )より $V_1 - V_2$ だけ下降することになり、インバータ(INV1)の出力はハイ・レベルとなる。

その結果、キャパシタ(CAP2)の電極D側の電位は、動作点電位( $V_{inv2}$ )  
25 よりも高くなり、インバータ(INV2)の出力はロー・レベルとなる。

すなわち、第1記憶部40-1のメモリ・トランジスタ(M1)に記憶さ

れていた電流  $I_{M1}$  よりも、第2記憶部 40-2 のメモリ・トランジスタ・(M2) に記憶されていた電流  $I_{M2}$  の方が大きければ、演算部 50 の出力はハイ・レベルとなり、逆に、電流  $I_{M1}$  の方が大きければ、演算部 50 の出力はロー・レベルになることが分かる。

- 5      このようにして、演算部 50 においては、各記憶部 40 において記憶されている電流の大小比較、すなわち受光した光の強弱の比較判定が可能となる。

演算部 50 の出力は、出力部 60 のバッファ・アンプ (BA) によって適当なレベルにまで増幅される。そして、出力パルス (CK0) の印加により  
10   画素出力ゲート (PTX) が付勢されると、画素出力 VO として出力されるようになっている。

上述した動作では、1画素分の演算結果が画素出力という形で得られる。したがって、[記憶期間] から [演算フェーズ 2] までを、画素の個数だけ繰り返すことによって、垂直方向に並んだすべての画素 1 から画素  
15   出力を得ることができる。

第5図には、撮像素子内の動作特性をタイミング・チャートの形式で示している。但し、同図では2画素分のクロックのみの記載にとどめている。

第5図では、[リセット期間] 及び [転送期間] はすべての画素で共通として  
20   いるが、画素毎に相違していても同様に動作することができる。但し、後者の場合は、光電変換されるタイミングが画素毎に少しずつずれることになる。

上述した例では、記憶されている2つの信号電流を比較するが、本実施例に係る画素1の構成によれば、3以上の信号電流を比較することも  
25   可能である。

例えば、第1から第4までの4個の記憶部 40-1 ~ 40-4 が配設

されている場合、それぞれのメモリ・トランジスタ $M1 \sim M4$ には、各期間I, II, III, IVに受光し光電変換して取り出された各信号電流 $IM1$ ,  $IM2$ ,  $IM3$ ,  $IM4$ がそれぞれ記憶されているとする。

5 負荷部及び演算部50において、演算フェーズ1でメモリ・ゲート・トランジスタ $G1$ 及び $G2$ を同時に付勢して、信号電流 $IM1$ と $IM2$ を同時に負荷トランジスタ(QL)に流して、負荷電流 $V1$ を発生させる。

次いで、演算フェーズ2では、メモリ・ゲート・トランジスタ $G3$ 及び $G4$ を同時に付勢して、信号電流 $IM3$ と $IM4$ を同時に負荷トランジスタ(QL)に流して、負荷電流 $V2$ を発生させる。

10 そして、先述した動作原理に従い、 $V2$ が $V1$ よりも大きければ演算部50の出力はハイ・レベルとなり、逆に、 $V2$ が $V1$ よりも小さければ演算部50の出力はロー・レベルとなる。このようにして、複数の記憶部 $40-1 \dots$ に記憶された信号電流 $IM1 \dots$ の和どうしを比較することができる。

15 第6図には、複数の記憶部 $40-1 \dots$ に記憶された信号電流 $IM1 \dots$ の和どうしを比較する場合の動作特性をタイミング・チャートの形式で示している。但し、同図に示す例では、1画素分の駆動クロックだけを図解している。

また、第7図には、バイアス部55の回路構成を示している。バイアス部55は、負荷部及び演算部50への入力信号 $IM$ に対してノイズなどの影響を除去するためにオフセット電流を追加するように動作する。

同図に示すように、バイアス部55は、バイアス負荷トランジスタ(BQL)と、カレント・ミラー回路となるバイアス・トランジスタ(BQ1)及びバイアス・トランジスタ(BQ2)とで構成される。バイアス負荷トランジスタ(BQL)のゲート端子には、その動作点を可変とすることができる  
25 オフセット・バイアス電圧(VB)が印加されている。また、バイアス・ト

ランジスタ (BQ2) の出力は、バイアス電流 (IB) として取り出される。

第 7 図に示す構成によれば、オフセット・バイアス電圧 (VB) を外部から制御することができる。演算フェーズ 1 において、記憶部 40 から取り出して演算部 50 の負荷トランジスタ (QL) に流す信号電流に対しては、  
5 バイアス電流 (IB) を加える。他方、演算フェーズ 2 において取り出す信号電流に対しては、バイアス電流 (IB) を加えないようにする。この結果、演算部 50 の出力が安定化する。

比較すべき 2 つの信号レベルがほとんど同じであり、しかも時間的にわずかながら変動していると、演算部 50 の出力はロー・レベルとハイ・レベルの間を繰り返し変動して不安定になってしまう。このような状況を避けるため、上述のように、一方の演算フェーズ 1 で取り出す電流にバイアス電流を重畳して、他方の演算フェーズ 2 で取り出す電流よりも大きな電流として扱う。この結果、演算部出力をロー・レベル又は  
10 ハイ・レベルのうち一方に保ち (この場合はロー・レベル)、演算部 50  
15 の出力を安定化することができる。

演算フェーズ 2 において取り出す電流が、そのバイアス電流分と演算フェーズ 1 で取り出した電流の和よりも大きければ、演算部 50 の出力は初めてロー・レベルからハイ・レベルに転じることになる。

なお、オフセット・バイアス電圧 (VB) を与えるか否かで、バイアス負荷トランジスタ (BQL) に電流を流すか否かが決定され、その結果、カレント・ミラー効果によって、バイアス電流 (IB) の値が決まる。しかし、この電流の値を正確に制御するには、オフセット・バイアス電圧 (VB) を正確に制御しなければならず、困難な場合もある。特に、バイアス負荷トランジスタ (BQL) の閾値電圧にばらつきがあり、画素毎に得られるバ  
20 イアス電流 (IB) が異なり、結果が区々になる可能性がある。

そこで、オフセット・バイアス電圧 (VB) の絶対値ではなく、その電位

差によってバイアス電流 ( $I_B$ ) の大きさを相対的に変えることによって、同様に演算部 50 の出力の安定化を図る方が実用的である。

まず、演算フェーズ 1 でオフセット・バイアス電圧  $V_{B1}$  をバイアス負荷トランジスタ (BQL) に与え、このとき流れるバイアス電流を  $I_{B2}$  とする。次いで、演算フェーズ 2 でオフセット・バイアス電圧を  $V_{B2}$  としたときのバイアス電流を  $I_{B2}$  とする。このとき、バイアス負荷トランジスタ (BQL) の閾値電圧が相違すると、 $I_{B1}$  と  $I_{B2}$  の絶対値は大きく変化する可能性があるが、その差  $I_{B1} - I_{B2}$  を小さく抑えることができる。この結果として、演算フェーズ 1 と演算フェーズ 2 でバイアスとして与える電流差が安定する。

さらに、カレント・ミラー効果を考慮すると、バイアス・トランジスタ (BQ1) に流れる電流、すなわちバイアス負荷トランジスタ (BQL) に流れる電流よりも、バイアス・トランジスタ (BQ2) に流れる電流を小さくするようにトランジスタのサイズを決めておけば、閾値電圧の変動の影響を小さくすることができる。

以下では、本発明に係る画素 1 によれば、記憶部 40 の構成要素であるメモリ・トランジスタ  $M_1 \sim M_k$  の特性ばらつき、すなわち閾値電圧のばらつきを抑制することができることを、第 3 図を参照しながら説明する。

まず、第 1 増幅部 20 の増幅トランジスタ (QA) のゲート電圧  $V_A$  が一定という状況下で考察する。

このようなとき、読出しパルス (RD) を印加して読出しトランジスタ (GR1) を付勢すると、カレント・ミラーを構成するミラー・トランジスタ (CM1) には、ある一定の電流が流れる。

また、カレント・ミラーを構成する他方のミラー・トランジスタ (CM2) には、飽和領域で動作する限りにおいては、トランジスタ CM1

とのサイズ比で決まる一定の電流が流れる、この一定電流を仮に  $I_{MA}$  とおく。

- ここで、読出しトランジスタ (GR2) とメモリ・ゲート・トランジスタ (G1)、並びに、メモリ・スイッチ (SW1) を同時に付勢することによって、
- 5   メモリ・トランジスタ (M1) には、 $I_{MA}$  が流れることになる。

このときのメモリ・トランジスタ (M1) の閾値電圧を  $V_{th-1}$ 、ゲート電位 (=ドレイン電位) を  $V_{G-1}$ 、メモリ・ゲート・トランジスタ (G1) と読出しトランジスタ (GR2) 間の共通信号電位を  $V_{M-1}$  とする。

- また、上述した動作をメモリ・トランジスタ (M1) ではなく、メモリ・トランジスタ (M2) に対して適用した場合であっても、同様に、メモリ・トランジスタ (M2) には電流  $I_{MA}$  が流れる。このとき、メモリ・トランジスタ (M2) の閾値電圧を  $V_{th-2}$ 、ゲート電位 (=ドレイン電位) を  $V_{G-2}$ 、メモリ・ゲート・トランジスタ (G2) と読出しトランジスタ (GR2) 間の共通信号電位を  $V_{M-2}$  とする。
- 10

- 15   メモリ・トランジスタ (M1) とメモリ・トランジスタ (M2) のサイズがまったく同じであり、閾値電圧も同じ ( $V_{th-1}=V_{th-2}$ ) であるならば、同じ電流  $I_{MA}$  を流す以上、 $V_{G-1}=V_{G-2}$ 、 $V_{M-1}=V_{M-2}$  である。

- ところが、トランジスタ・サイズが同じであっても、製造プロセス上のばらつき (又はその他の原因) により、閾値電圧が異なり、 $V_{th-2}=V_{th-1}+\Delta V_{th}$  となった場合、同じ電流  $I_{MA}$  を流すためには、メモリ・トランジスタのゲート電位は  $V_{G-2}$  に対して  $\Delta V_G$  だけ変動し、また、共通信号電位は  $V_{M-2}$  に対して  $\Delta V_M$  だけ変動する必要があるものとする。
- 20

- 25   このような電位変動が、第2増幅部30のカレント・ミラー回路において、ミラー・トランジスタ (CM2) のドレイン側電位に影響を及ぼし、

飽和領域で動作しなくなれば、本来得られるはずの電流  $1\text{ MA}$  が流れなくなってしまう。

そこで、メモリ・トランジスタ、メモリ・ゲート・トランジスタ、読出しトランジスタ、及びミラー・トランジスタのそれぞれのサイズを適切に選ぶことによって、動作点のマージンを持たせ、ミラー・トランジスタ (CM2) が常に飽和状態で動作するように設計しておけば、閾値電圧のばらつきによって  $\Delta V_G$  や  $\Delta V_M$  という電位変動が生じてても、信号電流  $1\text{ MA}$  は変化することなく記憶される。

第 8 図には、第 1 図に示した撮像素子構造、並びに、第 2 図に示した画素構造の変形例を示している。

第 5 図及び第 6 図に示したタイミング・チャートからも分かるように、垂直方向に並設された  $n$  個の画素は、リセットと転送動作を同時に行うことはあっても、記憶動作や演算動作については時間的にずらして行うことができる。したがって、記憶のための信号電流を発生させる第 2 増幅部 30 と、記憶部 40 からの信号を処理する負荷部及び演算部 50 と、出力部 60、及びバイアス部 56 は、1 つの画素毎に専用のものを配設することは必ずしも必要ではなく、複数の画素間でこれらを共有することができる。

また、画素内のこれらの構成要素をすべて各画素毎に配置すると、画素数の増加に伴って製造上のボトルネックとなる可能性もあるので、画素外に配置することが好ましいと考えられる。

第 8 図に示す画素構造では、垂直方向に並設された画素 1-1 ~ 画素 1-n のそれぞれの内部には、受光部と第 1 増幅部 20 のみが配置されている。第 2 増幅部 30 は、画素 1-1 ~ 画素 1-n の出力に対して 1 つだけ配設されている。すなわちこれら同一の画素列にある複数の画素間で共有されている。

また、画素外記憶部 2-1 ~ 画素外記憶部 2-n の各々は、画素 1-1 ~ 画素 1-n のそれぞれに対応している。さらに、各記憶部 2-1 ... の内部には、第 1 記憶部 40-1 ~ 第 k 記憶部 40-k が配設されている。

- 5      一方、負荷部及び演算部 50 や出力部 60 は、画素外記憶部 2-1 ~ 画素外記憶部 2-n に対して共通となっている。したがって、バイアス部 55 を撮像素子内に設ける場合であっても、負荷部及び演算部 50 に対して 1 つだけ用意すればよい。

- 第 9 図には、第 1 図に示した撮像素子構造、並びに、第 2 図に示した  
10   画素構造の他の変形例を示している。第 8 図では撮像素子上で垂直方向に並設された n 個の画素と演算処理部を示しているが、第 9 図に示す例では、かかる回路構成を水平方向に繰り返すことによって、マトリックス状の画素配列となっている。

- すなわち、第 9 図に示す例では、撮像素子は、水平方向に m 個、垂直  
15   方向に n 個の画素がマトリックス状に配設された画素エリアの下方に、水平方向に m 個の第 2 演算部 30 が配設される。さらに、水平方向に m 個、垂直方向に n 個の画素外記憶部がマトリックス状に配設された画素外記憶領域と、負荷部及び演算部 50 と出力部 60 とからなるエリア、水平出力部 100 が続く。

- 20   第 1 図に示した例と同様に、垂直駆動回路 80 からは、水平方向に並設された m 個の画素に対して、受光部駆動信号 11 並びに第 1 増幅部駆動信号 21 が供給されている。また、第 2 増幅部 30 には、第 2 増幅部駆動信号 31 が供給されている。また、素外記憶部 2 には記憶部駆動信号 41 が供給されている。また、負荷部及び演算部 50 には演算部駆動  
25   信号 51 が、出力部 60 には出力部駆動信号 61 が、それぞれ供給されている。



また、垂直方向に並設された  $n$  個の画素  $1-1$  より画素  $1-n$  の出土は、垂直画素信号線 9 2 によって互いに接続され、該信号線が第 2 増幅部 3 0 への入力となる。そして、第 2 増幅部 3 0 の出力は、垂直記憶部信号線 9 3 によって、垂直方向に並設された  $n$  個の画素外記憶部 2-1  
5 ~ 2- $n$  のすべて、及び、負荷部及び演算部 5 0 の入力へと接続されている。

第 9 図に示す撮像素子内における、受光部 1 0、第 1 増幅部 2 0、第 2 増幅部 3 0、記憶部 4 0、負荷部及び演算部 5 0、バイアス部 5 5、出力部 6 0 の各々の回路構成及び動作特性は、第 3 図、第 4 図、並びに  
10 第 5 図の各々に示した該当部分と略同一でよい。

また、撮像素子全体の動作も、第 1 図に示した回路構成の場合とほとんど同一である。但し、垂直に並設された  $n$  個の画素に共通の第 2 増幅部 3 0、負荷部及び演算部 5 0、出力部 6 0 それぞれの駆動信号が独立ではなく共通となる点で、第 1 図に示した例とは相違する。

第 1 1 図には、第 9 図に示した撮像素子内の動作特性をタイミング・チャートで示している。第 5 図に示したタイミング・チャートとの相違は、第 2 増幅部 3 0 内の読出しトランジスタ (GR2) を駆動する書き込みパルス (WR)、負荷部及び演算部 5 0 内のインバータ・スイッチ (SWA) 及びインバータ・スイッチ (SWB) を駆動するインバータ・パルス (CKA) 及び  
20 インバータ・パルス (CKB)、並びに、出力部 6 0 の出力パルス (CK0) が、垂直方向に並設された  $n$  個の画素間で共通するという点である。

最後に、本実施例に係る撮像素子の適用例について説明しておく。

第 1 2 図は、被写体までの距離を計測するアクティブ型距離計測システムの構成を模式的に示している (アクティブ型の距離計測原理については、例えば「三次元画像計測」(井口、佐藤共著、昭晃堂)に記載されて  
25 いる)。図示の例では、被写体は、該計測システムに対向する平面と、

この平面の前方から突設された略半円柱で構成される。

半導体レーザ(若しくは発光ダイオード)から照射されたスリット状のレーザ光は、回転ミラーによって反射されて、被写体に向かう。レーザ光の照射と同期的に回転ミラーを回転させることによって、レーザ光を  
5 紙面左右方向に走査させることができる。そして、カメラは、スリット状のレーザ光が平面及び半円柱上を照射する様子を時々刻々撮像することができる。該距離計測システムのカメラに対して本発明に係る撮像素子(第1図又は第9図を参照のこと)を適用することができる。

また、第13図には、第12図に示した距離計測システムを上方から  
10 眺望した様子を示している。

カメラは、微細画素のような所定の受光単位が2次元マトリックス状に配列され、且つ、各画素毎に受光強度を検出することができるタイプの撮像素子で構成され、被写体からの反射光をレンズで集光して撮像するとともに、その受光位置を特定することができるものとする。

15 撮像素子上のある1つの画素Pは、レンズを介して $\Theta P$ で表される視線方向のみを常に観測している。

また、レーザ光を走査するための回転ミラーは、レンズの光軸から距離Bだけ離間した位置にその回転中心軸を有する。そして、時刻ゼロから回転を開始して、スリット状のレーザ光を紙面右から左に向かって被  
20 写体表面上を走査するようになっている。

画素Pは視線方向 $\Theta P$ のみを観測している。したがって、被写体が第13図の位置Iにあるときには、回転ミラーが回転して、レーザの照射角度が $\Theta I$ になったときにのみ、被写体表面上からの反射光を受光することができる。同様に、被写体が同図の位置IIにあるときには、回転  
25 ミラーが回転して、レーザの照射角度が $\Theta II$ になったときにのみ、被写体表面上からの反射光を受光することができる。

このような場合、三角測量などの幾何学的な計算により、距離計測システムと被写体との距離  $L_I$  及び  $L_{II}$  は、以下の式で表すことができる。

$$L_I = \frac{B \times \tan \Theta_I \times \tan \Theta_P}{\tan \Theta_I + \tan \Theta_P}$$

$$L_{II} = \frac{B \times \tan \Theta_{II} \times \tan \Theta_P}{\tan \Theta_{II} + \tan \Theta_P}$$

言い換えれば、画素  $P$  が受光したときのレーザ光の各照射方向  $\Theta_I$  及び  $\Theta_{II}$  によって、被写体までの距離  $L_I$  及び  $L_{II}$  を一意に求めることができる。

- 10     ここで、照射角度  $\Theta_I$  及び  $\Theta_{II}$  はいずれも、回転ミラーが回転を開始してからの経過時間  $t$  の関数として表現することができる。したがって、被写体までの距離  $L_I$  及び  $L_{II}$  も、時間  $t$  の関数として表すことが可能である。

- 15     撮像素子が受光する光強度の時間的な変化と該強度変化を撮像素子上で演算した結果を第 14 図に例示している。

- 同図に示す例では、時刻  $T_I$  において演算結果の符号がマイナスからプラスに、転じている。かかる符号の転換点に基づいて光強度がピークを迎えた時刻を検出することができる(但し、第 14 図に示す例では、撮像素子は受光量すなわち光強度に応じて電流量が減じる出力特性を持つものとする)。ピークを迎えた時刻が判れば、上述したように、被写体までの距離を特定することができる。

第 14 図に示す例では、演算間隔すなわち撮像素子のサンプリング周期は  $\Delta T$  である。 $\Delta T$  を細かくすることにより距離計測の分解能を向上させることができる。

- 25     ここで、第 12 図～第 14 図を参照しながら説明した処理を、従来の撮像素子を用いて行った場合について考察してみる。

演算間隔 $\Delta T$ はビデオ・レートに相当し、30Hz又は60Hz程度である。したがって、被写体に動きがある場合には、その距離を正確に把握することは極めて難しい。

しかも、仮に被写体が静止していたとしても、被写体表面全体の距離  
5 を求めるためには、レーザを30Hz又は60Hzの撮像タイミング毎に少しずつ走査する必要があるため、測定には非常に長い時間を要する。

さらに、撮像した映像を基にレーザが映っている位置を画像処理で特定するための時間も無視し難い。

これに対し、本実施例に係る撮像素子を適用した場合には、演算間隔  
10 を劇的に短縮することが可能である。したがって、動きのある被写体であっても、正確に距離を測定することができる。

#### [追補]

以上、特定の実施例を参照しながら、本発明について詳解してきた。  
しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修  
15 正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参酌すべきである。

以上詳記したように、本発明によれば、画像フレーム間の差分を求め  
20 ることで被写体の明るさの時間的変化を求めることができる、優れた画像処理装置及び画像処理方法を提供することができる。

また、本発明によれば、撮像素子による撮像データを保持する記憶部を撮像素子と同一回路上に備えることで演算処理を高速化した、優れた画像処理装置及び画像処理方法を提供することができる。

25 また、本発明によれば、被写体の明るさの時間的変化が小さい状況下であっても記憶部の特性ばらつきを低く抑えて正確な演算出力を得るこ

とができる、優れた画像処理装置及び画像処理方法を提供することができる。

本発明に係る画像処理装置の構成によれば、記憶部が撮像素子と同一回路上に実装されるので、処理が高速化される。また、バイアス部が各  
5 記憶部から出力される演算前の電流信号にオフセット電流を付加することによって、記憶部における特性ばらつきの影響を抑止して、演算部の出力を安定化させることができる。

例えば、本発明に係る画像処理装置を画素として用い、各画素を同一回路上にマトリックス状に配列することで、演算機能付きの撮像素子を  
10 構成することができる。かかる撮像素子によれば、被写体の明るさの時間的な変化を高速に演算することができる。

## 請 求 の 範 囲

1. 受光した光強度に応じた電気信号を発生する受光部と、  
前記受光部の出力信号を増幅する増幅部と、  
前記増幅部において増幅された電気信号を電流信号として記憶する複  
5 数の記憶部と、  
前記記憶部からの電流出力を電圧に変換する負荷部と、  
前記負荷部への入力に対してオフセット電流を与えるバイアス部と、  
前記負荷部の出力信号を演算する演算部と、  
前記演算部における演算結果を外部に出力する出力部と、
- 10 を具備することを特徴とする画像処理装置。  
2. 請求の範囲 1 において、  
前記複数の記憶部の各々は異なる期間に受光した信号に基づく電流信  
号を記憶し、  
前記演算部は、2 以上の記憶部から取り出された電流信号に基づく電  
15 圧信号に対して和、差、比較などの演算処理を施すことを特徴とする画  
像処理装置。  
3. 請求の範囲 1 において、  
前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジ  
スタを含み、カレント・ミラーの原理に従い電流信号を増幅することを  
20 特徴とする画像処理装置。  
4. 請求の範囲 1 において、  
前記記憶部は、カレントコピアの原理に従って電流信号を記憶するこ  
とを特徴とする画像処理装置。  
5. 請求の範囲 1 において、  
25 前記演算部が 2 つの記憶部からの信号電流を比較する場合において、  
前記バイアス部は、一方の記憶部からの信号電流に対してオフセット電

流を付加するとともに、他方の記憶部からの信号電流に対してオフセット電流を付加しないことを特徴とする画像処理装置。

6. 複数の画素が同一回路上にマトリックス状に配列されてなる、被写体の明るさを検出する撮像素子であって、前記画素の各々は、

- 5 受光した光強度に応じた電気信号を発生する受光部と、  
前記受光部の出力信号を増幅する増幅部と、  
前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、  
前記記憶部からの電流出力を電圧に変換する負荷部と、
- 10 前記負荷部への入力に対してオフセット電流を与えるバイアス部と、  
前記負荷部の出力信号を演算する演算部と、  
前記演算部における演算結果を出力する出力部と、  
を具備することを特徴とする撮像素子。

7. 請求の範囲 6 において、

- 15 前記複数の記憶部の各々は異なる期間に受光した信号に基づく電流信号を記憶し、

前記演算部は、2 以上の記憶部から取り出された電流信号に基づく電圧信号に対して和、差、比較などの演算処理を施すことを特徴とする撮像素子。

- 20 8. 請求の範囲 6 において、

前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする撮像素子。

9. 請求の範囲 6 において、

- 25 前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする撮像素子。

1 0. 請求の範囲 6 において、

前記演算部が 2 つの記憶部からの信号電流を比較する場合において、  
前記バイアス部は、一方の記憶部からの信号電流に対してオフセット電  
流を付加するとともに、他方の記憶部からの信号電流に対してオフセッ  
5 ト電流を付加しないことを特徴とする撮像素子。

1 1. 被写体の明るさを検出する撮像素子であって、

受光した光強度に応じた電気信号を発生する受光部と前記受光部の出  
力信号を増幅する増幅部からなる画素がマトリックス状に配列された画  
素エリアと、

10 ゲート電極同士を対向して接続したミラー・トランジスタによりカレ  
ント・ミラーの原理に従い電流信号を増幅する第 2 増幅部が前記画素エ  
リアの各画素列毎に配列された第 2 増幅部エリアと、

前記画素の増幅された電気信号を電流信号として記憶する複数の記憶  
部が前記画素エリアの各画素の配列に対応したマトリックス状に配列さ  
15 れた画素外記憶エリアと、

前記記憶部からの電流出力を電圧に変換して演算処理する負荷部及び  
演算部が前記画素エリアの各画素列毎に配列された負荷部及び演算部エ  
リアと、

前記演算部における演算結果を出力する出力部が前記画素エリアの各  
20 画素列毎に配列された出力部エリアとを備え、

前記画素エリアと、第 2 増幅部エリアと、前記画素外記憶エリアと、  
前記負荷部及び演算部エリアと、出力部エリアが同一回路上に実装され  
ていることを特徴とする撮像素子。

1 2. 請求の範囲 1 1 において、

25 前記複数の記憶部の各々は異なる期間に受光した信号に基づく電流信  
号を記憶し、



前記演算部は、2以上の記憶部から取り出された電流信号に基づく電圧信号に対して和、差、比較などの演算処理を施すことを特徴とする撮像素子。

13. 請求の範囲11において、

- 5 さらに、対応する記憶部からの出力電流にオフセット電流を付加するバイアス部を備えることを特徴とする撮像素子。

14. 請求の範囲13において、

- 前記演算部が2つの記憶部からの信号電流を比較する場合において、前記バイアス部は、一方の記憶部からの信号電流に対してオフセット電流を付加するとともに、他方の記憶部からの信号電流に対してオフセッ  
10 ト電流を付加しないことを特徴とする撮像素子。

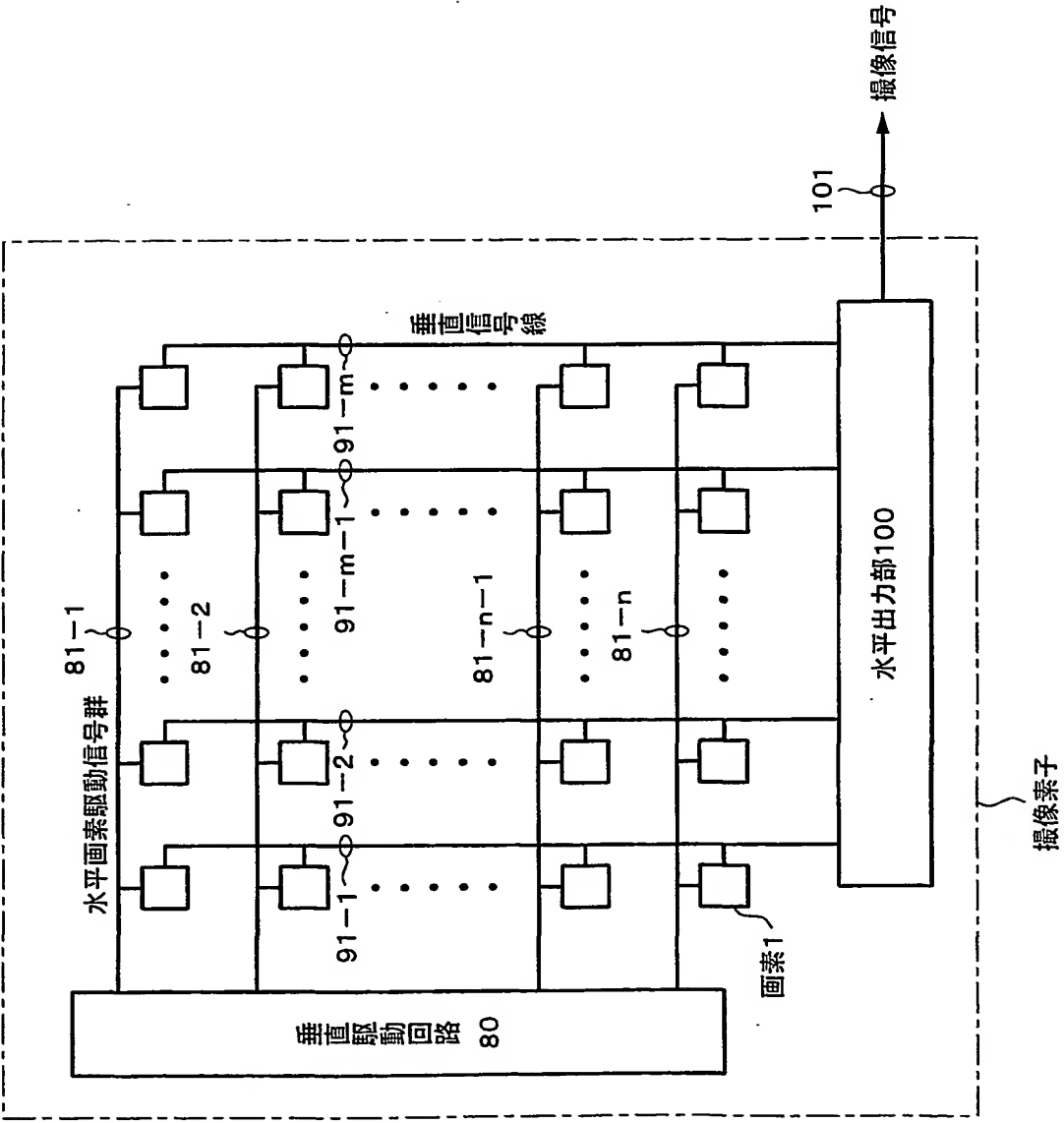
15. 請求の範囲11において、

前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする撮像素子。

15

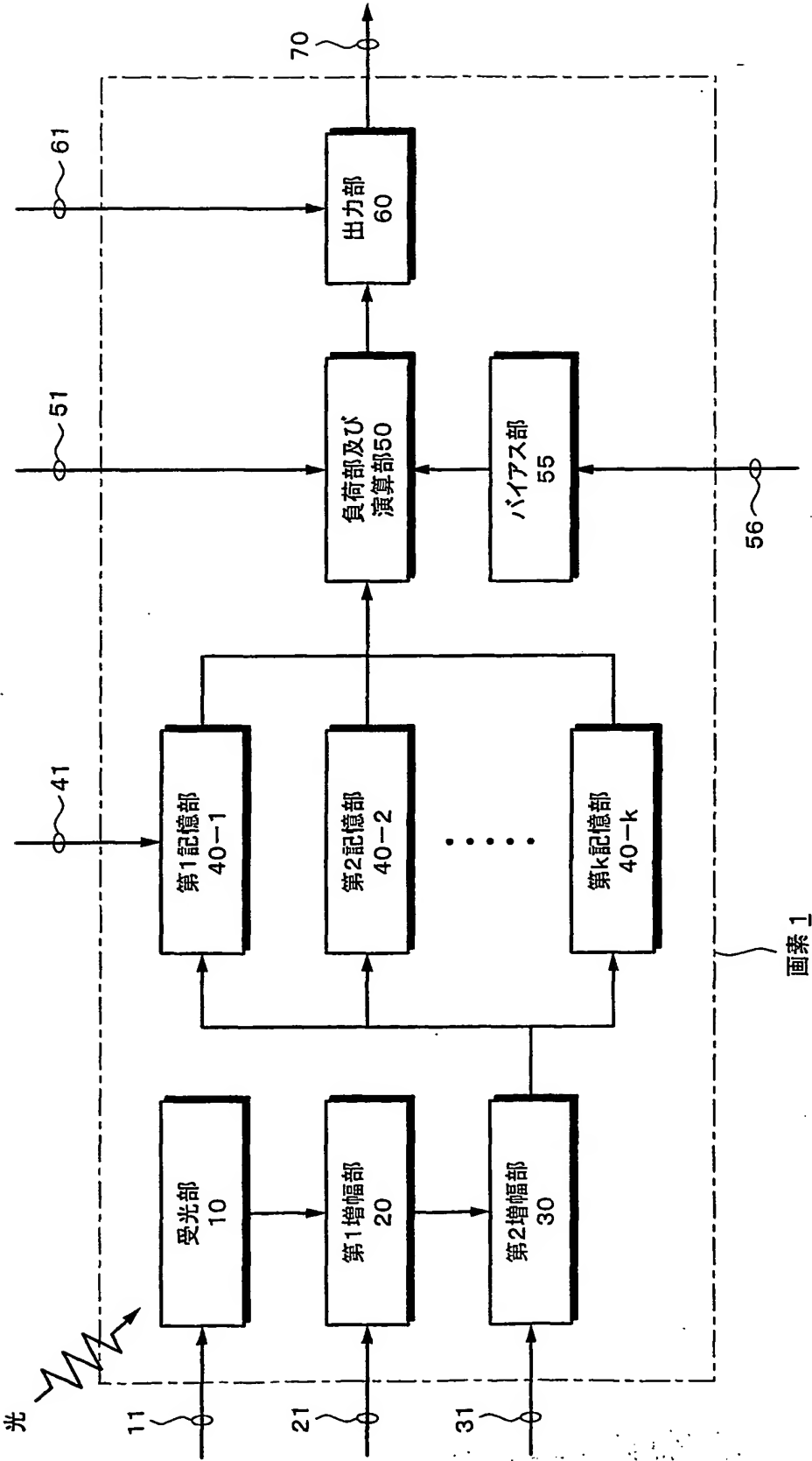
**THIS PAGE BLANK (USPTO)**

第1図



**THIS PAGE BLANK (USPTO)**

第2図



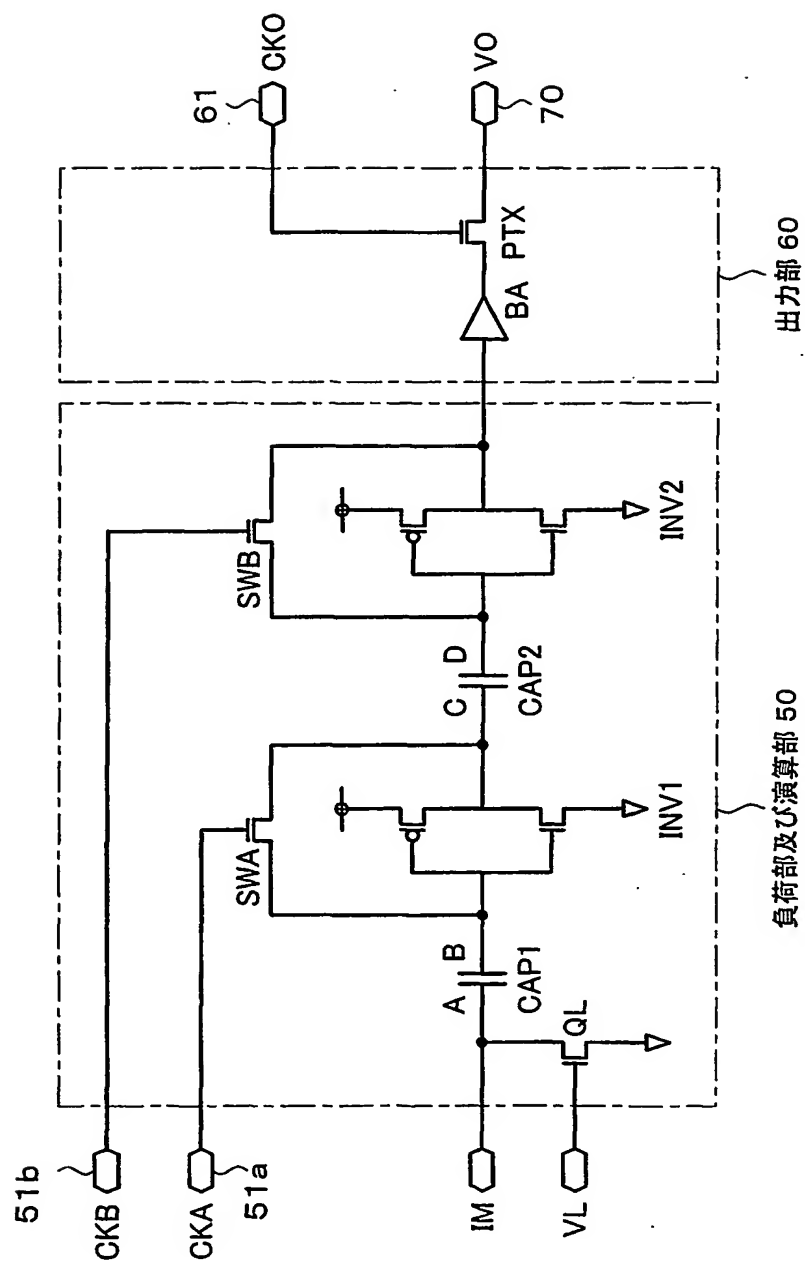
**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**

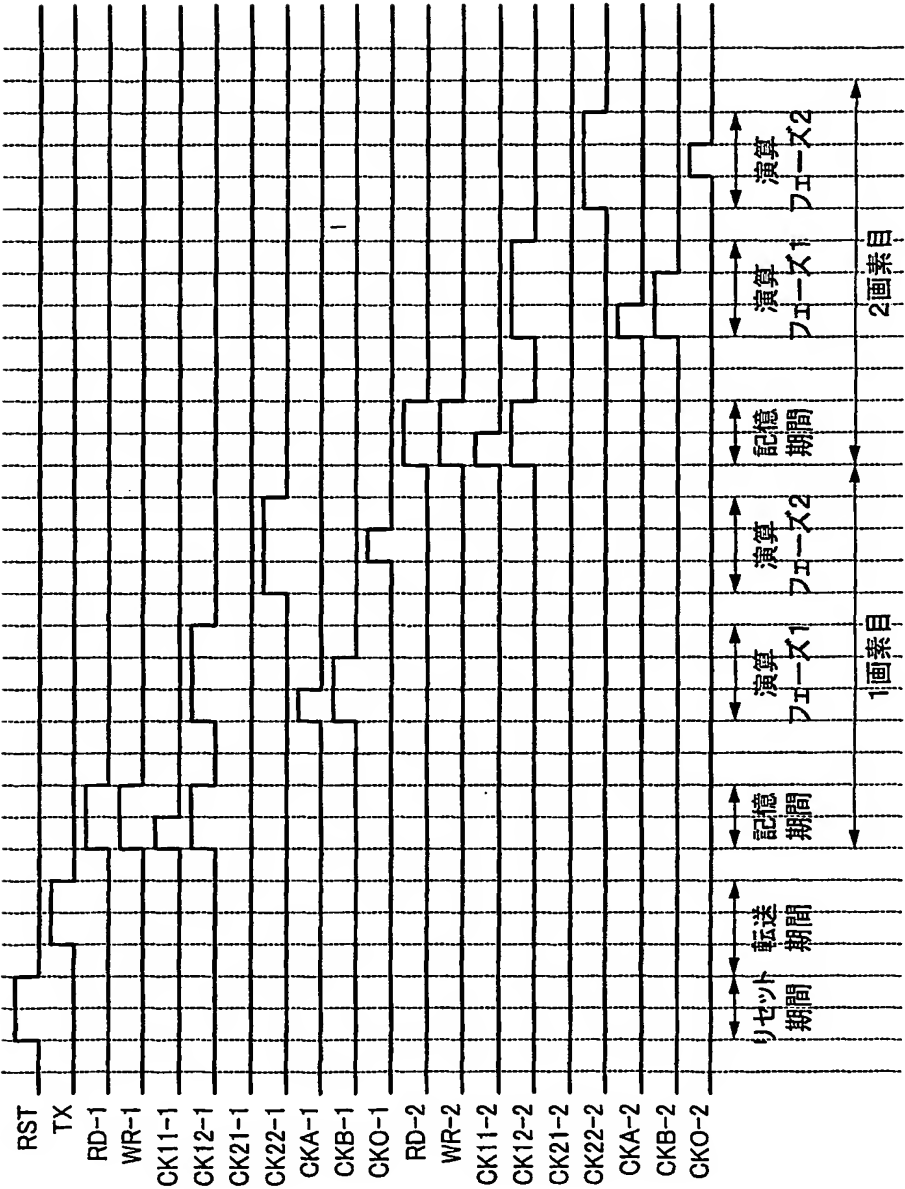


第4図



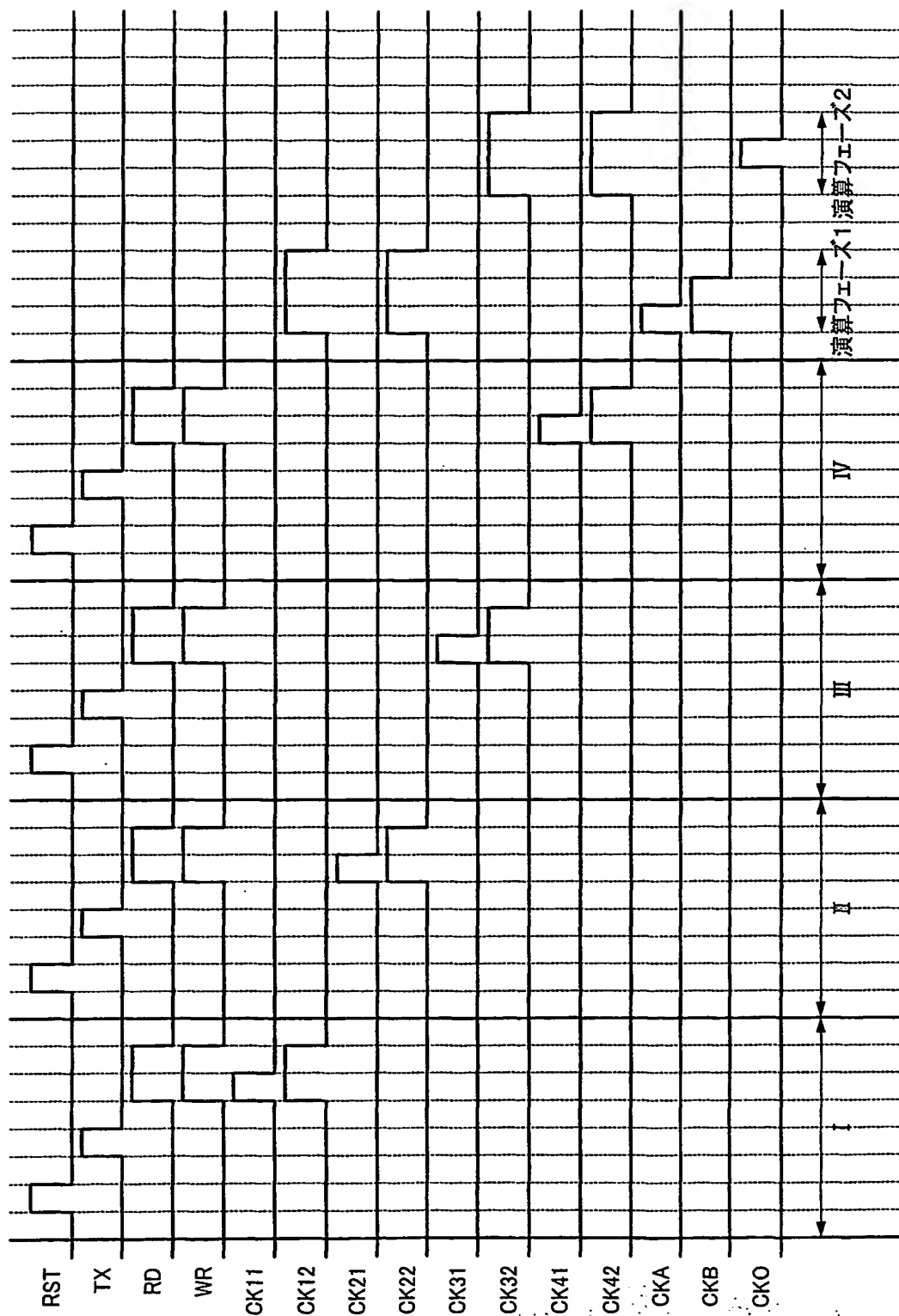
**THIS PAGE BLANK (USPTO)**

第5図



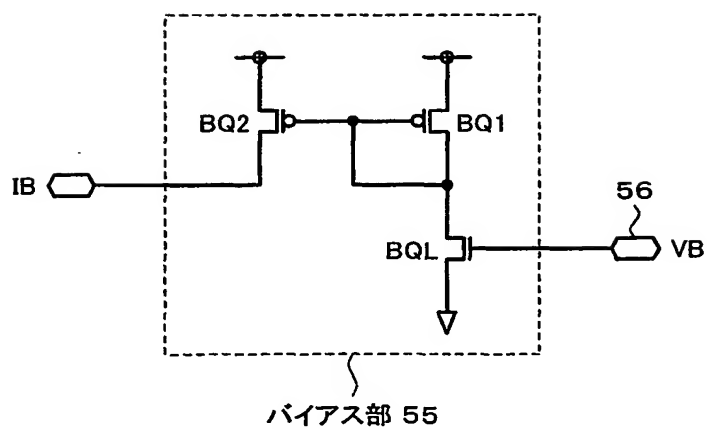
**THIS PAGE BLANK (USPTO)**

第6図



**THIS PAGE BLANK (USPTO)**

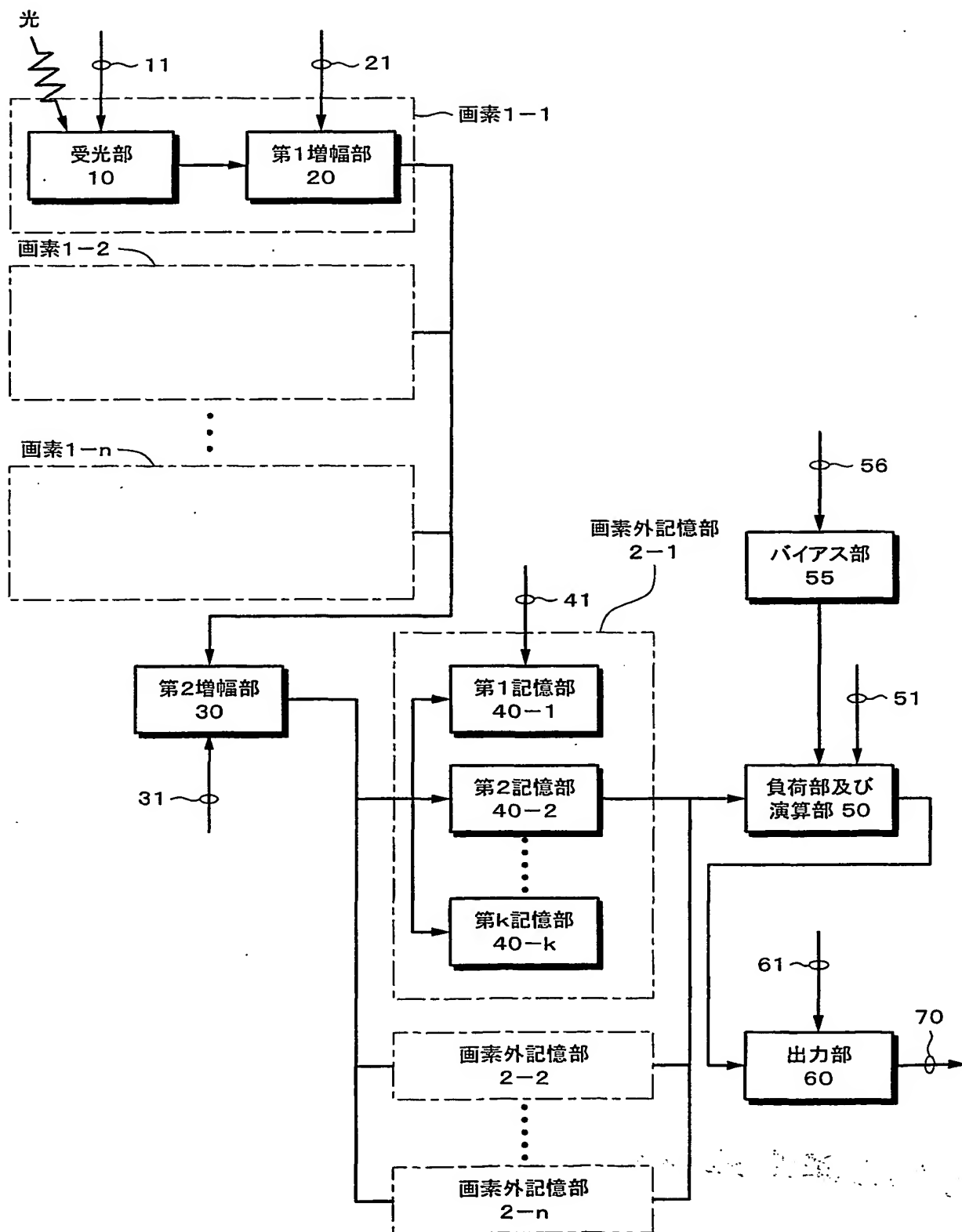
## 第 7 図



**THIS PAGE BLANK (USPTO)**

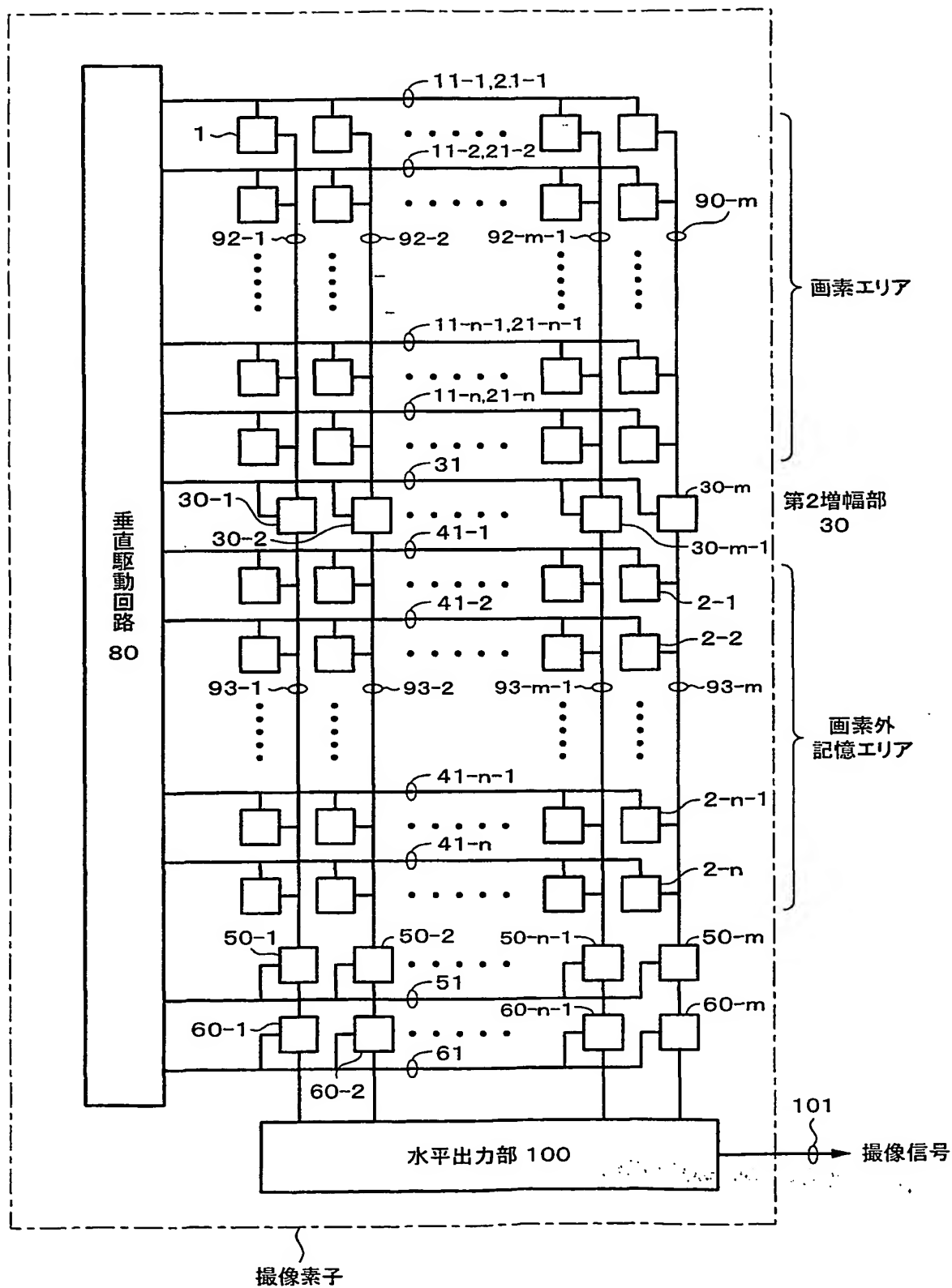


## 第8図



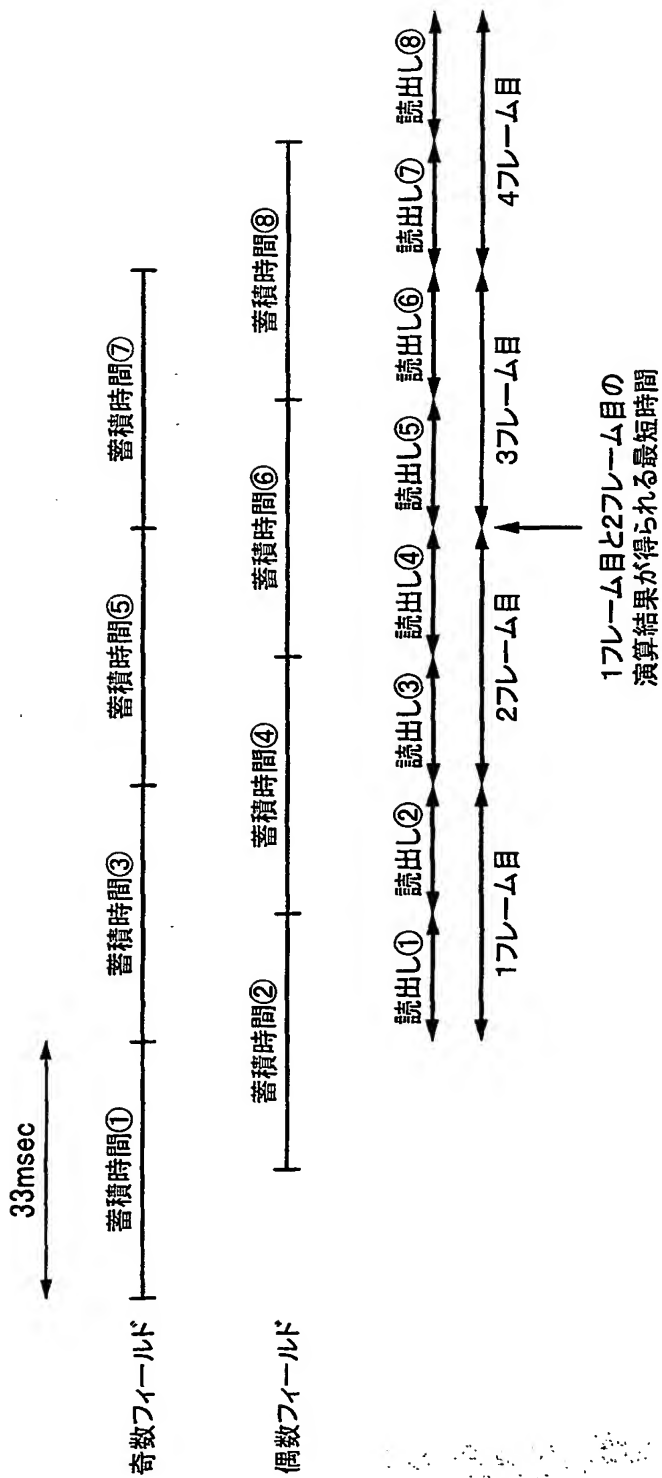
**THIS PAGE BLANK (USPTO)**

## 第9図



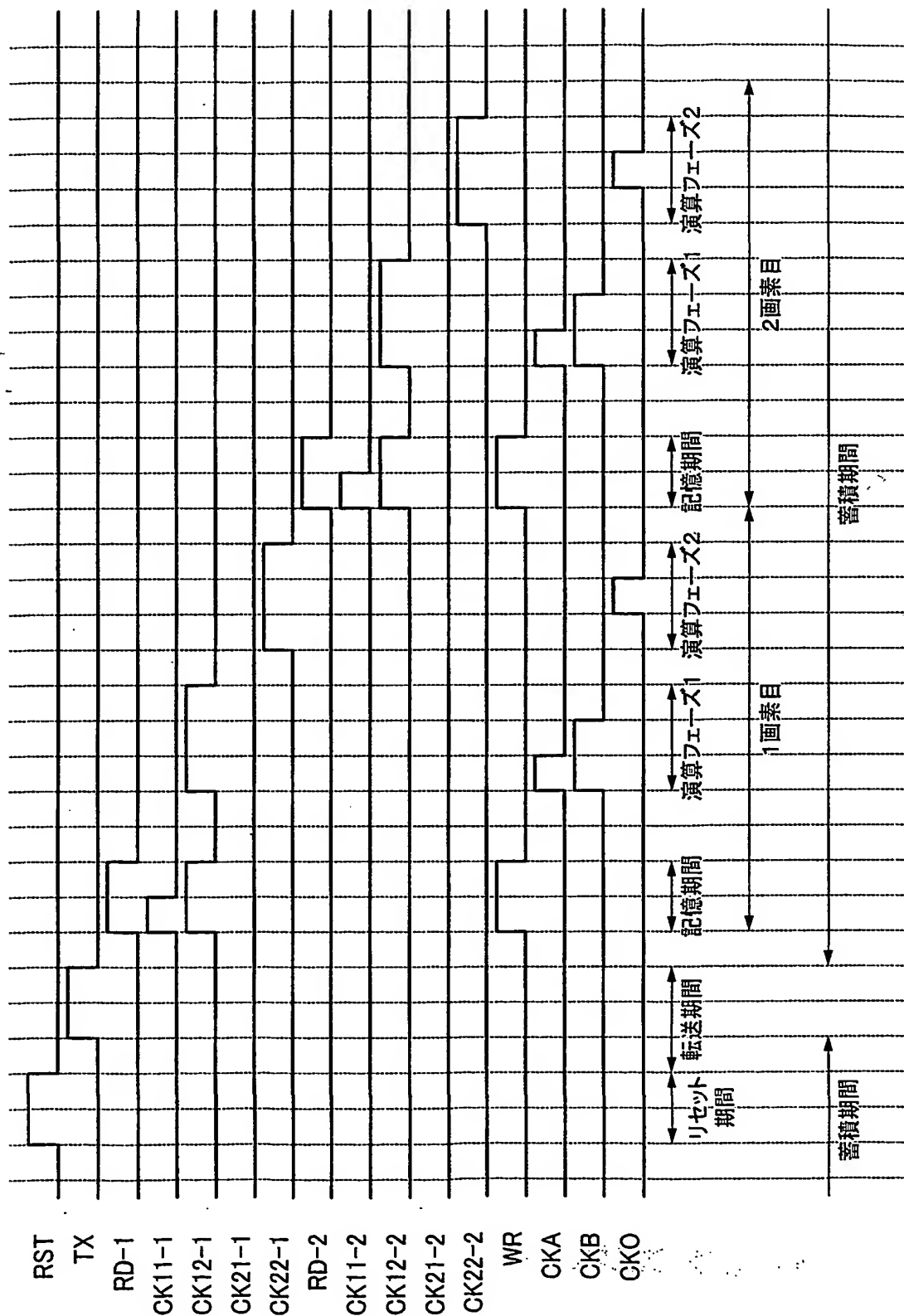
**THIS PAGE BLANK (USPTO)**

# 第10図



**THIS PAGE BLANK (USPTO)**

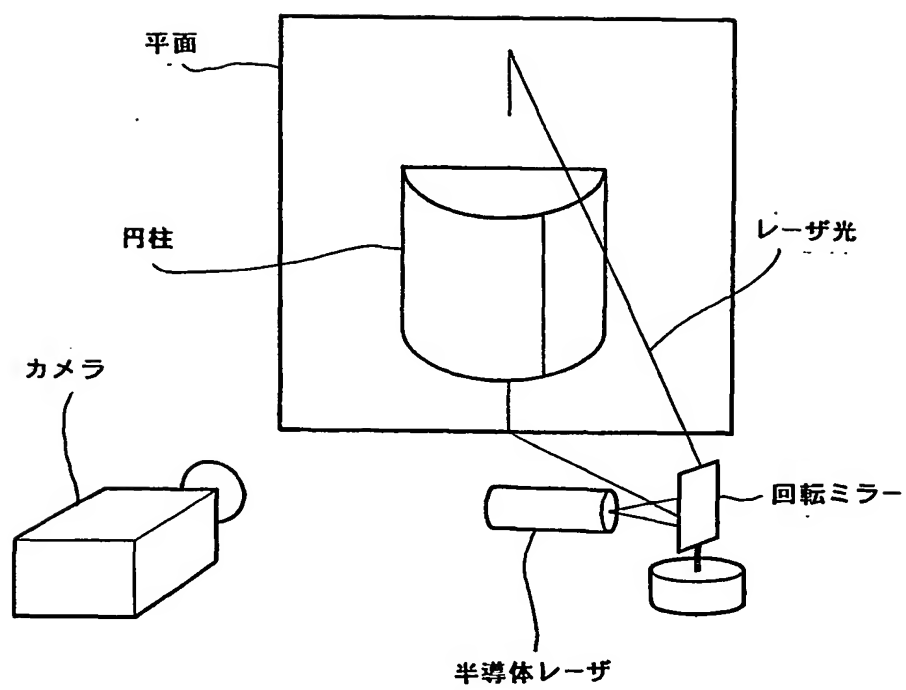
# 第11図



**THIS PAGE BLANK (USPTO)**

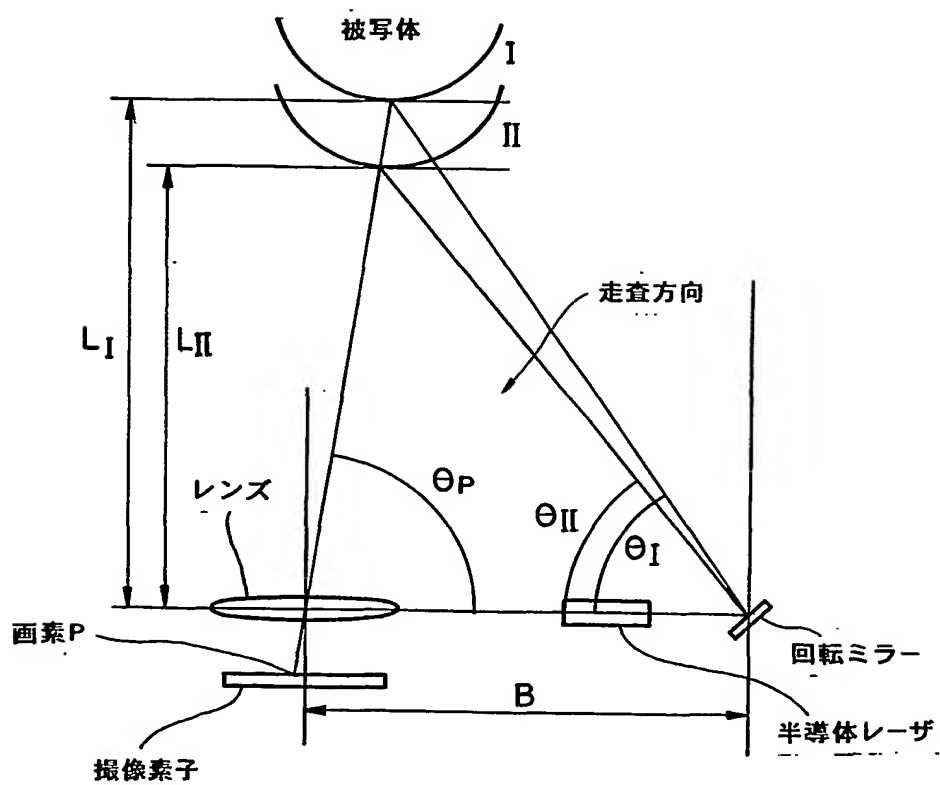


# 第12図



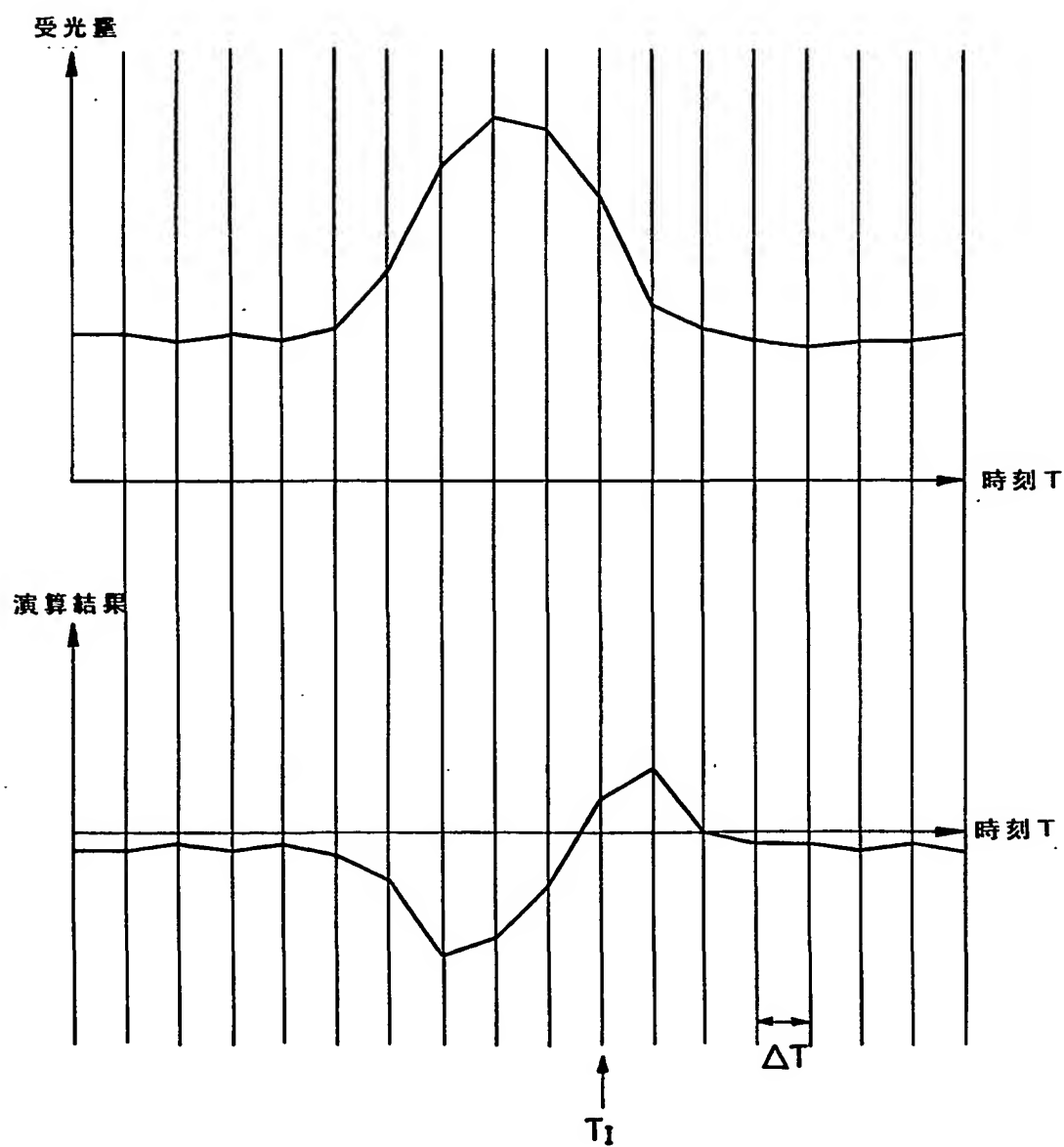
**THIS PAGE BLANK (USPTO)**

## 第13図



**THIS PAGE BLANK (USPTO)**

## 第14図



**THIS PAGE BLANK (USPTO)**

## 符号の説明

	1	画素
	1 0	受光部
5	2 0	第 1 増幅部
	3 0	第 2 増幅部
	4 0	記憶部
	5 0	負荷部及び演算部
	5 5	バイアス部
10	6 0	出力部
	8 0	垂直駆動回路
	1 0 0	水平出力部

**THIS PAGE BLANK (USPTO)**



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03041

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06T1/00 , H04N5/335 , H01L27/146 , G03B19/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06T1/00 , H04N5/335 , H01L27/146 , G03B19/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE (JOIS)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2000-299820, A (HAMAMATSU PHOTONICS K.K.), 24 October, 2000 (24.10.00) (Family: none) Full text; all drawings	1-15
A	JP, 10-145680, A (HAMAMATSU PHOTONICS K.K.), 29 May, 1998 (29.05.98) (Family: none) Full text; all drawings	1-15
A	JP, 4-360284, A (Nissan Motor Co., Ltd.), 14 December, 1992 (14.12.92) (Family: none) Full text; all drawings	1-15

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
09 May, 2001 (09.05.01)Date of mailing of the international search report  
22 May, 2001 (22.05.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**